



#6

2811

35.C15357

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)	
TETSUNOBU KOCHI)	Examiner: Not Yet Known
Application No.: 09/854,563)	Group Art Unit: 2811
Filed: May 15, 2001)	
For: IMAGE PICKUP APPARATUS)	October 10, 2001

Commissioner for Patents
Washington, D.C. 20231

CLAIM TO PRIORITY

RECEIVED
OCT 16 2001
TC 2800 MAIL ROOM

Sir:

Applicant hereby claims priority under the International Convention and all rights to which he is entitled under 35 U.S.C. § 119 based upon the following Japanese

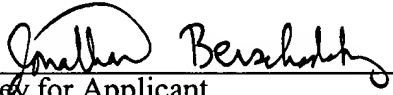
Priority Application:

2000-143674 filed on May 16, 2000

A certified copy of the priority document is enclosed.

Applicant's undersigned attorney may be reached in our New York office by telephone at (212) 218-2100. All correspondence should continue to be directed to our address given below.

Respectfully submitted,



Attorney for Applicant
Registration No. 46,551

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200

NY_MAIN 206527 v 1

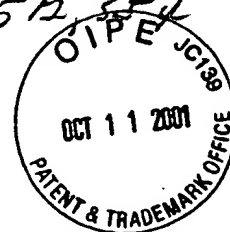
RECEIVED
OCT 16 2001
TC 2800 MAIL ROOM

CFO 15357 US / mag

09/512,354

日 本 国 特 許 庁

JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出 願 年 月 日

Date of Application:

2000年 5月16日

出 願 番 号

Application Number:

特願2000-143674

出 願 人

Applicant(s):

キヤノン株式会社

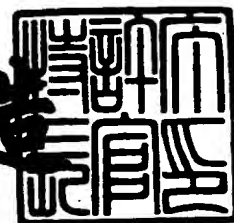
RECEIVED
OCT 16 2001
TC 2800 MAIL ROOM

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 5月31日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3049912

【書類名】 特許願

【整理番号】 4152051

【提出日】 平成12年 5月16日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/335

【発明の名称】 固体撮像装置およびそれを用いた固体撮像システム

【請求項の数】 11

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 光地 哲伸

【特許出願人】

 【識別番号】 000001007

 【氏名又は名称】 キヤノン株式会社

 【代表者】 御手洗 富士夫

【代理人】

 【識別番号】 100065385

 【弁理士】

 【氏名又は名称】 山下 穰平

 【電話番号】 03-3431-1831

【手数料の表示】

 【予納台帳番号】 010700

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9703871

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置およびそれを用いた固体撮像システム

【特許請求の範囲】

【請求項 1】 複数の光電変換素子と、それぞれの光電変換素子に一端が接続された複数の転送スイッチと、該複数の転送スイッチのもう一端に共通接続された信号入力部と、該信号入力部に接続された増幅部とを有する画素ブロックを複数配置してなる固体撮像装置において、

前記画素ブロックごとに走査クロックを出力する走査手段を有することを特徴とする固体撮像装置。

【請求項 2】 前記走査手段がシフトレジスタであることを特徴とする請求項 1 記載の固体撮像装置。

【請求項 3】 前記走査手段がデコーダであることを特徴とする請求項 1 記載の固体撮像装置。

【請求項 4】 前記画素ブロック内の複数の転送スイッチに対応する複数の転送クロックが入力され、前記走査手段から出力される走査クロックと前記複数の転送クロックをそれぞれ演算処理する演算処理手段を有し、演算処理した信号を前記複数の転送スイッチを駆動するクロックとして供給することを特徴とする請求項 1 記載の固体撮像装置。

【請求項 5】 一つの転送クロック入力を前記画素ブロック内の複数の転送スイッチに対応する複数の転送クロック入力に変換して前記演算処理手段に入力するデコーダを有することを特徴とする請求項 4 記載の固体撮像装置。

【請求項 6】 前記演算処理手段が、前記走査クロックと前記転送クロックとを入力とする AND 演算処理手段であることを特徴とする請求項 4 又は請求項 5 に記載の固体撮像装置。

【請求項 7】 前記演算処理手段が、前記走査クロックと前記転送クロックとを入力とする OR 演算処理手段であることを特徴とする請求項 4 又は請求項 5 に記載の固体撮像装置。

【請求項 8】 前記画素ブロックの複数の転送スイッチを前記複数の第一の転送スイッチとしたとき、前記演算処理手段が複数の第二の転送スイッチからな

り、

前記走査クロックが該複数の第二の転送スイッチのゲートに入力され、前記転送クロック入力が入記第二の転送スイッチを介して前記第一の転送スイッチに供給されることを特徴とする請求項 4 又は請求項 5 に記載の固体撮像装置。

【請求項 9】 前記信号入力部をリセットするリセットスイッチを前記画素ブロックごとに一つ有するとともに、リセットクロック入力が入力され、前記走査クロックと前記リセットクロック入力を演算処理する演算処理手段を有し、演算処理した信号を前記リセットスイッチを駆動するクロックとして供給することを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 10】 前記画素ブロックを選択するための選択スイッチを前記画素ブロックごとに一つ有するとともに、選択クロック入力が入力され、前記走査クロックと前記選択クロック入力を演算処理する演算処理手段を有し、演算処理した信号を前記選択スイッチを駆動するクロックとして供給することを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 11】 請求項 1 ～ 10 のいずれかの請求項に記載の固体撮像装置と、前記固体撮像装置へ光を結像する光学系と、前記固体撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とする固体撮像システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像信号を得る固体撮像装置およびそれを用いた固体撮像システムに関し、特に CMOS コンパチブル XY アドレス型増幅型固体撮像装置およびそれを用いた固体撮像システムに関するものである。

【0002】

【従来の技術】

従来、固体撮像装置としては光電変換を可能とする金属等の導電体と酸化物等の絶縁体と半導体からなる MOS 構造を有し、光キャリアの移動方式で FET 型と CCD 型とに分けられる。この固体撮像装置は太陽電池、イメージカメラ、複写機、ファクシミリなどの種々の方面に使用され、技術的にも変換効率や集積密

度の改良改善が図られている。このような固体撮像装置の一つに、CMOSプロセスコンパチブルのセンサ（以後、CMOSセンサという。）がある。このタイプのセンサはセンサはIEEE Transactions on Electron Device Vol.41 pp452～453 1994などの文献で発表されている。また、CMOSセンサの別の例として、特開平9-46596号公報で画素の縮小化に好適でかつ画素信号の加算、非加算の切り替えが任意に行なえる例が開示されている。

【0003】

【発明が解決しようとする課題】

しかしながら、上記従来例において、画素の縮小にともなって垂直走査回路のピッチも狭ピッチ化を図っていかなければ縮小化の十分な効果が得られない。

【0004】

また、加算非加算の切り替え動作を効率よく行なう走査回路についても十分な検討がなされていなかった。

【0005】

本発明は、上述した従来技術のCMOSセンサに好適な走査手段を提供し、より一層の縮小化および効率的な加算非加算動作を行なうことを目的とする。

【0006】

【課題を解決するための手段および作用】

本発明は上記目的を達成するためになされたもので、複数の光電変換素子と、それぞれの光電変換素子に一端が接続された複数の転送スイッチと、該複数の転送スイッチのもう一端に共通接続された信号入力部と、該信号入力部に接続された増幅部とを有する画素ブロックを複数配置してなる固体撮像装置において、前記画素ブロックごとに走査クロックを出力する走査手段を有することを特徴とする。

【0007】

上記構成においては、走査手段の回路規模を簡略化し、面積も縮小できる。

【0008】

また本発明の固体撮像システムは上記本発明の固体撮像装置を用いたものである。

【 0 0 0 9 】

【実施例】

以下、本発明の実施例について図面を用いて詳細に説明する。

【 0 0 1 0 】

〔第一の実施例〕

図 1 は本発明の第一の実施例を示したものである。同図において、1-1, 1-2 はフォトダイオードなどの光電変換素子、5-1, 5-2 は転送スイッチ MOS トランジスタ、4 はリセット用 MOS トランジスタ、2 はソースフォロワアンプの入力 MOS トランジスタ、3 は垂直選択 MOS トランジスタ、7 はソースフォロワ負荷トランジスタ、8 は暗出力転送 MOS トランジスタ、9 は明出力転送トランジスタ、10 は暗出力蓄積容量、11 は明出力蓄積容量、12-1, 12-2 はそれぞれ暗出力、明出力を転送するための水平転送 MOS トランジスタ、13-1, 13-2 は水平出力線リセット MOS トランジスタ、14 は差動出力アンプ、15 は水平走査回路である。16 は画素ブロックごとに 1 段ずつ配置された垂直走査手段、17 は演算処理部であり本実施例では AND ゲートおよび NAND ゲートで構成している。垂直走査手段 16, 演算処理部 17 を合わせて垂直走査回路を構成する。

【 0 0 1 1 】

図 2 に画素部の断面図を示す。同図において、201 は P 型ウエル、202 はゲート酸化膜、203-1, 203-2 はポリ Si などで形成された転送 MOS トランジスタのゲート電極、204 は信号入力部となる n^+ フローティングディフュージョン (FD) 部、205-1, 205-2 は光電変換部である。FD 部 204 はそれぞれの転送 MOS トランジスタ 203-1, 203-2 を介して二つの光電変換部 205-1, 205-2 と接続される。同図において、二つの転送 MOS トランジスタ 5-1, 5-2 のドレインと FD 部 204 を共通化して微細化と FD 部 204 の容量低減による感度向上を図っているが、2 つの転送 MOS トランジスタ 5-1, 5-2 に対してそれぞれにドレインを設け、その間を金属配線で接続して FD 部としてもよい。

【 0 0 1 2 】

次に図 3 のタイミングチャートを用いて動作を簡単に述べる。同図において、 V_1 、 V_2 は垂直走査手段 1 6 から順次出力される垂直走査タイミングクロック、 ϕRES は演算処理部 1 7 に入力される外部リセットクロック、 ϕSEL は演算処理部 1 7 に入力される外部垂直選択クロック、 $\phi TX1$ 、 $\phi TX2$ は同じく演算処理部 1 7 に入力される第一、第二の外部転送クロックである。

【 0 0 1 3 】

先ず、転送スイッチ 5、リセットスイッチ 4 をオンすることにより光電変換素子 1 をリセットする。次に転送スイッチ 5 をオフした後、蓄積動作にはいる。蓄積時間終了時、垂直走査回路 1 6 からのタイミングクロック V_1 と ϕSEL の AND 演算によって、時刻 T_0 において垂直選択クロック ϕsel_1 をハイとし、垂直選択 MOS トランジスタ 3 をオンさせ、第一、第二ラインの画素に対応するソースフォロワンプを動作させる。次に同様に垂直走査回路 1 6 からのタイミングクロック V_1 と ϕRES の NAND 演算によって、リセットクロック ϕres_1 をロウとし、FD 部 2 0 4 のリセットを止め、FD 部 2 0 4 をフローティング状態とした後、時刻 T_1 においてクロック ϕTN をハイとし FD 部 2 0 4 の暗電圧をソースフォロワ動作で蓄積容量 CTN_{10} に出力する。

【 0 0 1 4 】

次に第一ラインの画素の光電変換出力を行なうために時刻 T_2 において垂直走査回路 1 6 からのタイミングクロック V_1 と $\phi TX1$ の AND 演算によって、転送クロック ϕtx_{11} をハイとして転送 MOS トランジスタ 5 を導通し、信号電荷を FD 部 2 0 4 へ転送する。電荷が転送されることにより FD 部 2 0 4 の電位が光に応じて変化することになる。時刻 T_3 においてクロック ϕTS をハイとしこの FD 部 2 0 4 の電圧をソースフォロワ動作で蓄積容量 CTS_{11} に出力する。この時点で第一ラインの画素の暗出力、光出力はそれぞれ蓄積容量 CTN_{10} 、 CTS_{11} に蓄積されており、時刻 T_4 に水平出力線リセットクロック ϕHC を一時ハイとして水平出力線をリセットし、水平転送期間において水平走査回路 1 5 の走査タイミング信号により水平出力線に画素の暗出力と光出力が出力される。この時、差動増幅器 1 4 によって二つの出力の差動出力 V_{out} を取れば、画素のランダムノイズ、固定パターンノイズを除去した S/N 比の良い信号が得られる。

【 0 0 1 5 】

第二ラインの信号読出しへの切り替えは、上記で説明した読み出しのシーケンスのうち外部転送クロック ϕ TX1の代わりに同じタイミングで転送クロック ϕ TX2をクロック動作させることで容易に切り替えを行ない出力することができる。

【 0 0 1 6 】

本実施例においては、第一、第二の二つのラインの画素列を制御する間に一度だけ垂直の走査タイミング信号を発生させることでセンサの読み出し動作を行なうことができる。従って、垂直走査手段の回路構成を簡略化できるので、画素の縮小に連動して走査手段の縮小ができ、小型の固体撮像装置を実現できるものである。

【 0 0 1 7 】

また本実施例では第一、第二ラインのどちらを読み出す際にも必要な、リセットクロック ϕ res、垂直選択クロック ϕ selを発生する回路は、第一、第二の二つのラインで一組の回路を設けそれを共用しているので、やはり回路規模を縮小し小型化に貢献している。

【 0 0 1 8 】

二画素の信号をFD部204上で加算して読み出す際も本実施例の回路構成を全く変えずに印加パルスのタイミングのみの変更で実現できる。上下2画素の加算の場合のタイミングチャートを図4に示す。非加算モードの図3では転送クロック ϕ tx11と ϕ tx21のタイミングを1ライン分ずらしていたが、加算の場合は同じタイミングになる。すなわち光電変換素子1-1, 1-2から同時に読み出すために、まずクロック ϕ TNをハイとして垂直出力線からノイズ成分を読み出し次に転送クロック ϕ tx11と ϕ tx21をそれぞれ同時にハイ、ロウとしてFD部204に転送する。これにより同時刻に上下二つの光電変換素子1の信号をFD部204で加算することが可能となる。

【 0 0 1 9 】

本実施例では外部転送クロック ϕ TX1、 ϕ TX2のタイミングを変更するだけで容易にこの機能を実現できるものである。

【 0 0 2 0 】

本実施例中の演算処理部 1 7 は A N D ゲートと N A N D ゲートで構成した場合を例にとって説明したがこれに限るものではない。

【 0 0 2 1 】

図 1 1 に演算処理部を O R ゲートおよび N O R ゲートで構成した場合の本実施例の構成例を示す。図 1 2 は本構成例の場合の動作タイミングチャートである。本構成例でも、垂直走査タイミングクロックとクロック ϕ RES、 ϕ SEL、 ϕ TX1、 ϕ TX2 を演算処理部で演算処理することで所望のクロックを発生させることができる。また本構成例で示した画素部構成の場合は、A N D ゲートおよび N A N D ゲートで構成したときより O R ゲートおよび N O R ゲートで構成した方がさらにゲートを構成するトランジスタ数を削減でき、さらに回路規模を簡略化できるものである。

【 0 0 2 2 】

[第二の実施例]

図 5 に本発明による第二実施例の模式説明図を示す。本実施例は Y 方向 4 画素を 1 画素ブロックにした例で、4 画素に対し一段の垂直走査手段 1 6 を設けたことを特徴とする。

【 0 0 2 3 】

本実施例においては、第一～第四の四つのラインの画素列を制御する間に一度だけ垂直の走査タイミング信号を発生させることでセンサの読み出し動作を行なうことができるので、前記実施例にくらべ垂直走査手段の回路構成をさらに簡略化できるので、画素の縮小に連動して走査手段の縮小ができ、より小型の固体撮像装置を実現できるものである。

【 0 0 2 4 】

また同様にリセットクロック ϕ res、垂直選択クロック ϕ sel を発生する回路は、第一～第四の四つのラインで一組の回路を設けそれを共用しているので、やはり回路規模を縮小することができる。

【 0 0 2 5 】

勿論、Y 方向 4 画素の信号を F D 部 2 0 4 上で任意の組み合わせで加算して読み出す際も本実施例の回路構成を全く変えずに印加パルスのタイミングのみの変

更で容易に実現できる。

【 0 0 2 6 】

[第三の実施例]

図 6 に本発明による第三実施例の模式説明図を示す。本実施例は演算処理部 17 をトランスファークゲート 601 とスイッチ MOS トランジスタ 602 で構成した実施例である。603 はインバータであり、垂直走査タイミングクロックの反転信号を生成する。

【 0 0 2 7 】

本実施例の動作を図 3 のタイミングチャートを用いて説明する。まず上記第一の実施例と同様に光電変換素子をリセットした後蓄積動作に入る。蓄積時間終了時、垂直走査手段 16 からのタイミング出力 V1 をハイにすることによってトランスファークゲート 601-1 ~ 601-4 をオンする。外部クロック ϕ SEL, ϕ RES, ϕ TX1, ϕ TX2 はトランスファークゲート 601-1 ~ 601-4 を介して画素部に伝えられ、実施例 1 で説明したのと同様のタイミングで各画素を動作させるクロックとして働く。第一、第二ラインの信号を読み出した後、垂直走査タイミングクロック V1 はロウになるのでスイッチ MOS トランジスタ 602 がオンして第一、第二ラインに対応する垂直選択 MOS トランジスタ 3 のゲートおよび転送 MOS トランジスタ 5 のゲートはオフする電位に固定される。またリセット MOS トランジスタ 4 のゲートはオンする電位に固定される。

【 0 0 2 8 】

本実施例においても上記第一、第二の実施例と同様の効果が得られることはいうまでもない。またさらに、本実施例では演算処理部 17 の回路規模を実施例 1, 2 よりさらに縮小することができるものである。また、本実施例では、外部クロックがトランスファークゲート 601 を介して直接画素部トランジスタのゲートに伝えられるので、クロックの振幅が実施例 1, 2 ではロジックゲートの電源電圧で一意に決定されてしまっていたのに対し、入力する外部クロックの振幅を変えることで自由にクロックの振幅を変化させることができる。たとえば、転送 MOS トランジスタのオフ時のゲート電圧を蓄積期間中に MOS の閾値電圧よりやや高めに設定しておくことで、強い光が光電変換素子 1 に入射した時に発生した

過剰電荷を転送MOSトランジスタおよびリセットMOSトランジスタを通して電源VDDに捨てる、横型オーバーフローレイン動作を行なうこともできる。

【0029】

〔第四の実施例〕

図7に本発明による第四実施例の模式説明図を示す。本実施例は外部クロックの入力部と演算処理部の間にデコーダ回路701を設け、外部より入力するクロック数の削減を図ったものである。

【0030】

図8にデコーダ回路を、図9にその動作タイミングチャートを示す。同図に示すように外部クロック ϕ TXはデコーダクロック ϕ DEC1、 ϕ DEC2がハイかロウかに応じて ϕ TX1～ ϕ TX4のいずれかに振り分けられ出力される。出力された ϕ TX1～ ϕ TX4と垂直走査タイミングクロックとのAND演算によって転送クロックを生成する。

【0031】

本実施例では、デコーダ回路701を設けたことで外部クロックの数を実施例2と比較して一つ減らすことができる。本実施例はY方向4画素を1画素ブロックにした例であるが、たとえば8画素を1画素ブロックにした場合、実施例2では外部転送クロックは8クロック必要だが、本実施例では一つの外部転送クロックと三つのデコーダクロックの計四つで同様の動作を実現することができるものである。

【0032】

そのため、外部クロックを削減することができ、本固体撮像装置の制御が容易になる、クロック配線を敷設する面積を縮小することができるといった新たな効果を得ることができる。

【0033】

上記第一～第四の実施例の走査手段はシフトレジスタ回路を用いても良いし、デコーダ回路を用いても良い。シフトレジスタ回路はデコーダ回路に比べ回路規模をより縮小することができる。また、デコーダ回路はシフトレジスタ回路に比べ、画素列を選択する順序を自由に選ぶことができ、さまざまな信号読み出し順

を実現することができる。

【0034】

図10に撮像システム概略図を示す。同図に示すように、光学系71、絞り80を通して入射した画像光はCMOSセンサ72上に結像する。CMOSセンサ72上に配置されている画素アレーによって光情報は電気信号へと変換され、ノイズ除去されて出力される。その出力信号は信号処理回路73によって予め決められた方法によって信号変換処理され、出力される。信号処理された信号は、記録系、通信系74により情報記録装置により記録、あるいは情報転送される。記録、あるいは転送された信号は再生系77により再生される。絞り80、CMOSセンサ72、信号処理回路73はタイミング制御回路75により制御され、光学系71、タイミング制御回路75、記録系・通信系74、再生系77はシステムコントロール回路76により制御される。

【0035】

【発明の効果】

以上説明したように、本発明によれば周辺回路を縮小した固体撮像装置を実現できるため、小型化、収量アップによる低コスト化、パッケージの小型化、光学系の小型化、外部制御回路の簡略化といった効果が得られる。

【図面の簡単な説明】

【図1】

本発明の第一の実施例の模式説明図である。

【図2】

本発明の第一の実施例の画素部断面図である。

【図3】

本発明の第一の実施例の第一のタイミングチャートである。

【図4】

本発明の第一の実施例の第二のタイミングチャートである。

【図5】

本発明の第二の実施例の模式説明図である。

【図6】

本発明の第三の実施例の模式説明図である。

【図 7】

本発明の第四の実施例の模式説明図である。

【図 8】

デコーダ回路の回路構成図である。

【図 9】

デコーダ回路の動作タイミングチャートである。

【図 1 0】

本発明による撮像システム概略を示す図である。

【図 1 1】

演算処理部をORゲートおよびNORゲートで構成した場合の構成例を示す図である。

【図 1 2】

図 1 1 の構成例の動作タイミングチャートである。

【符号の説明】

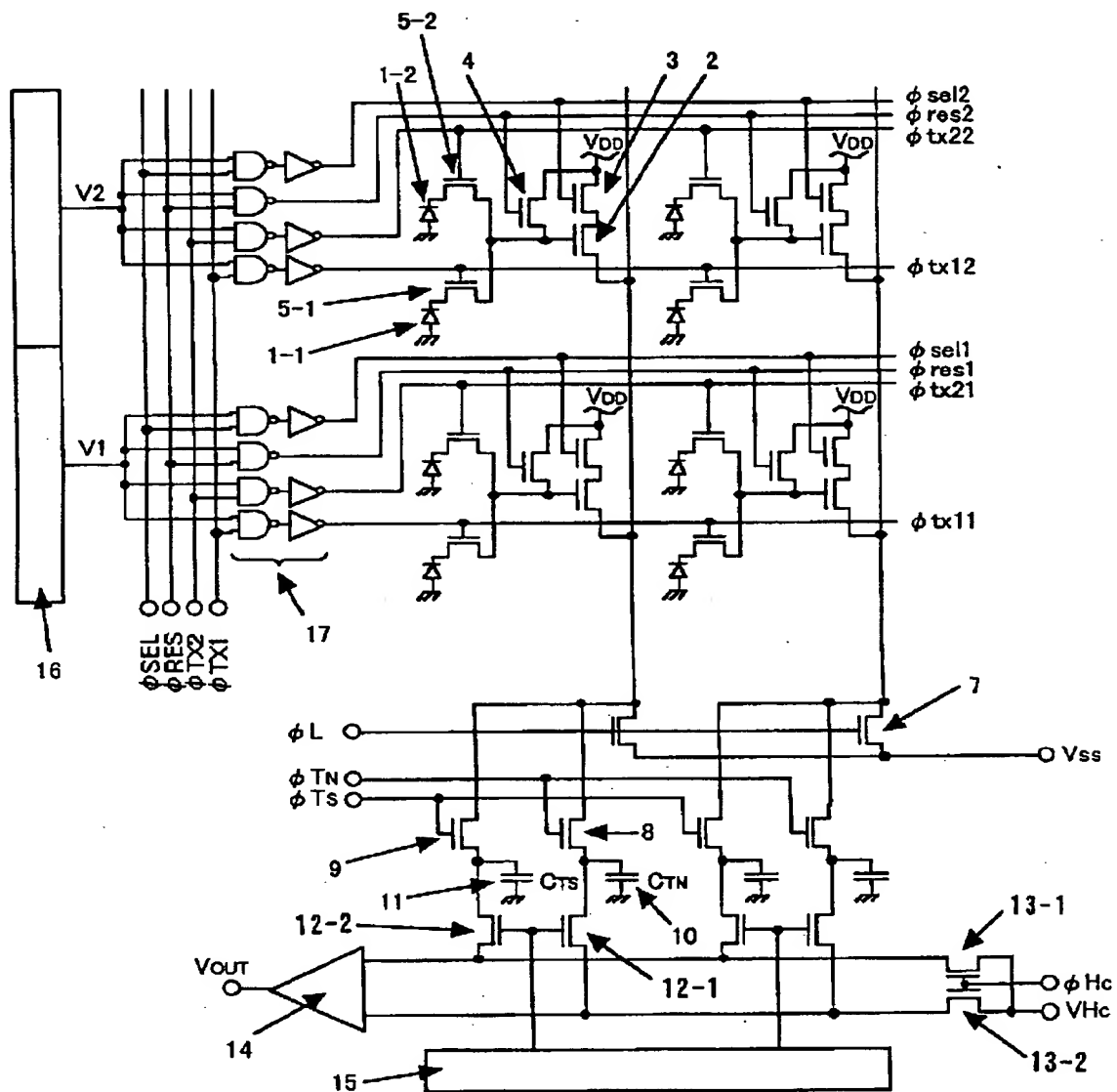
- 1 光電変換素子
- 2 ソースフォロワ入力MOSトランジスタ
- 3 垂直選択MOSトランジスタ
- 4 リセット用MOSトランジスタ
- 5 転送スイッチMOSトランジスタ
- 7 ソースフォロア負荷トランジスタ
- 8 暗出力転送MOSトランジスタ
- 9 明出力転送トランジスタ
- 1 0 暗出力蓄積容量
- 1 1 明出力蓄積容量
- 1 2 水平転送MOSトランジスタ
- 1 3 水平出力線リセットMOSトランジスタ
- 1 4 差動出力アンプ
- 1 5 水平走査回路

1 6 垂直走査手段

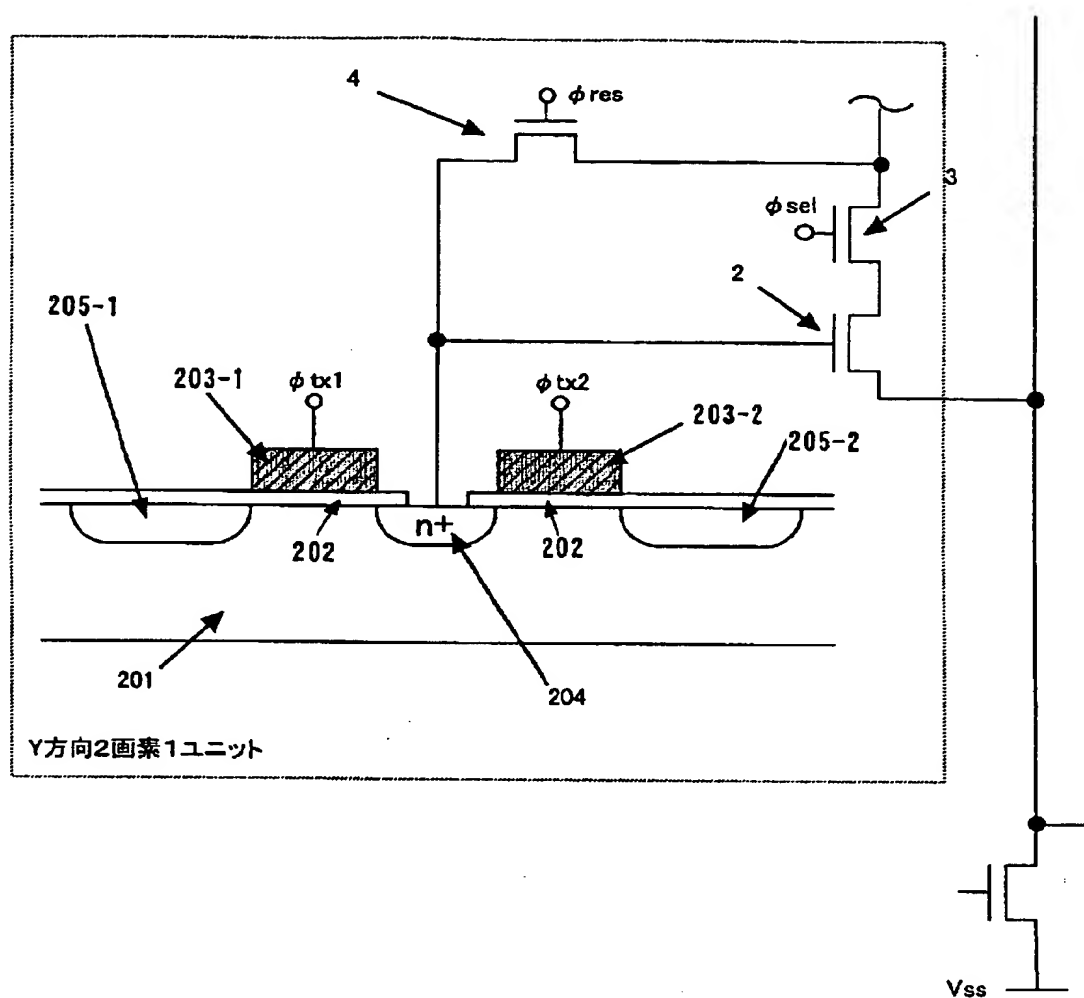
1 7 演算処理部

【書類名】 図面

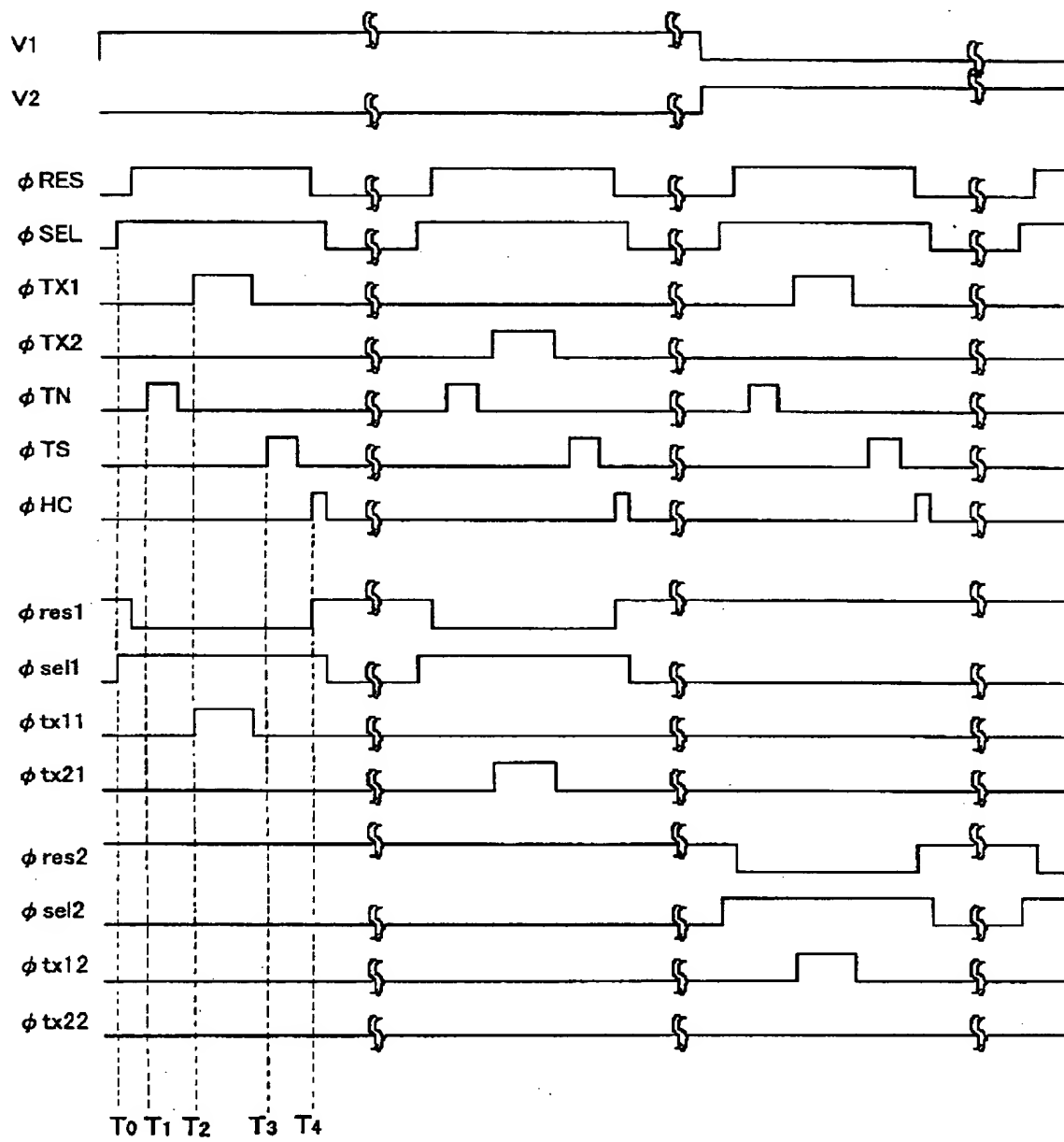
【図 1】



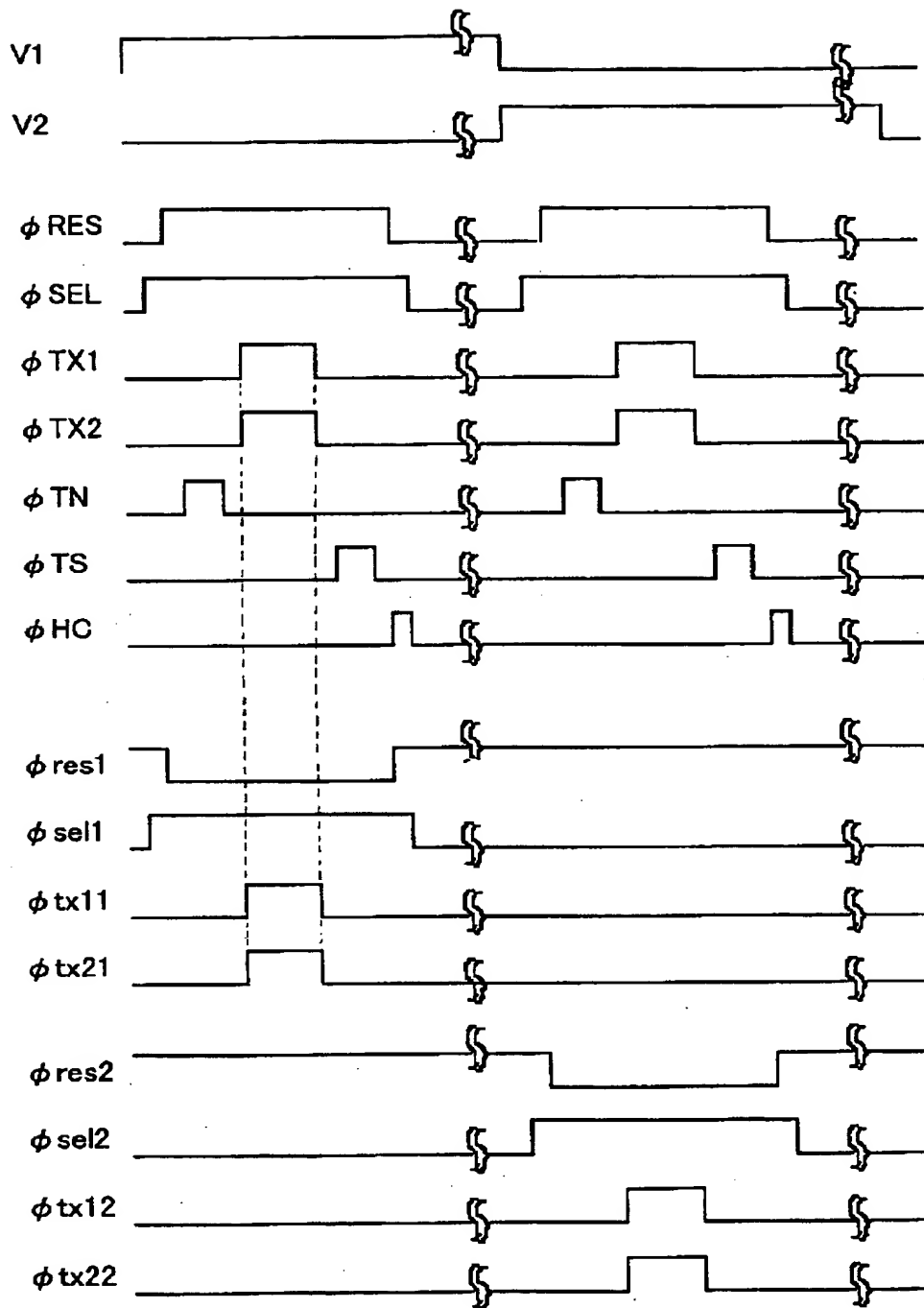
【図 2】



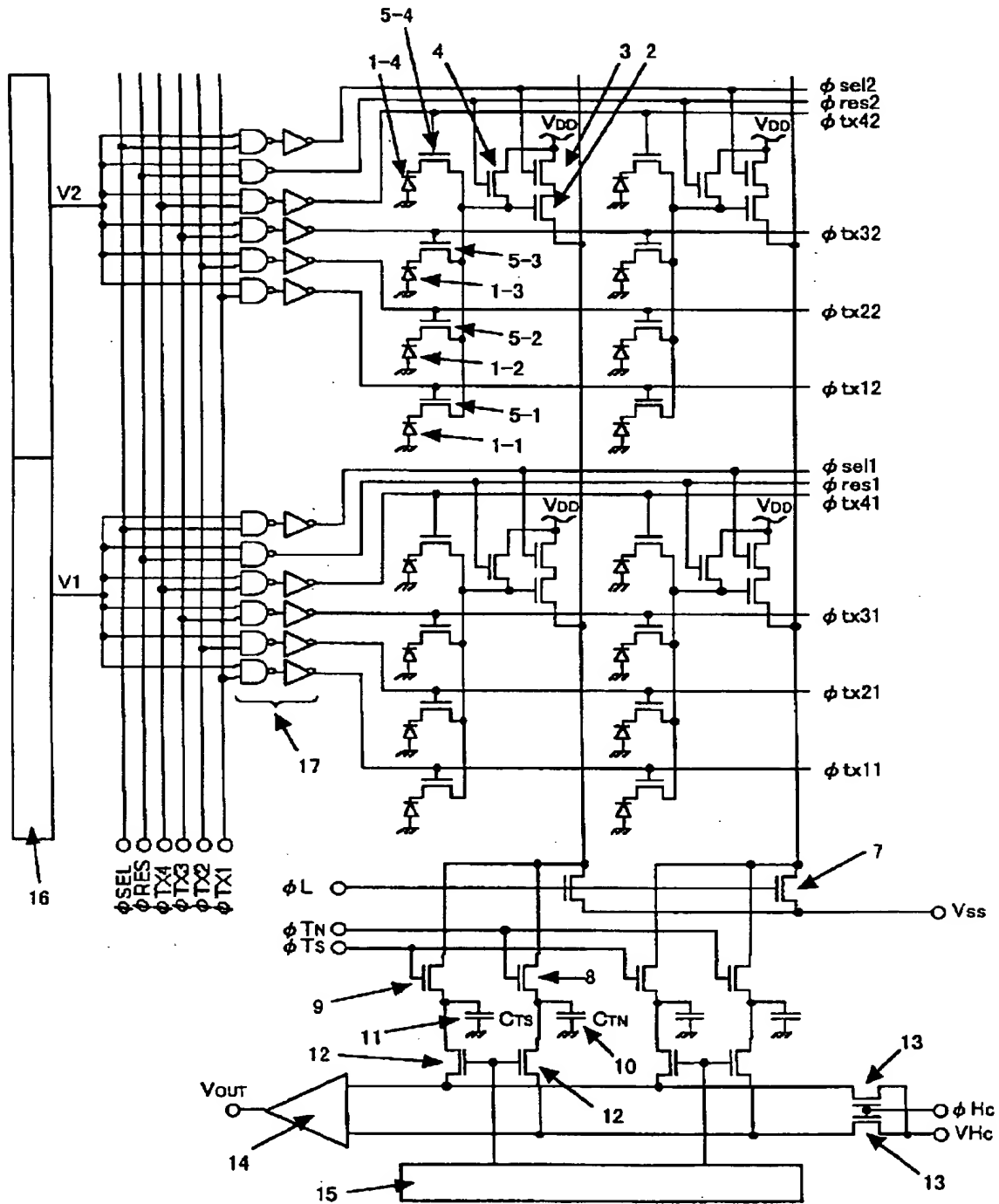
【図 3】



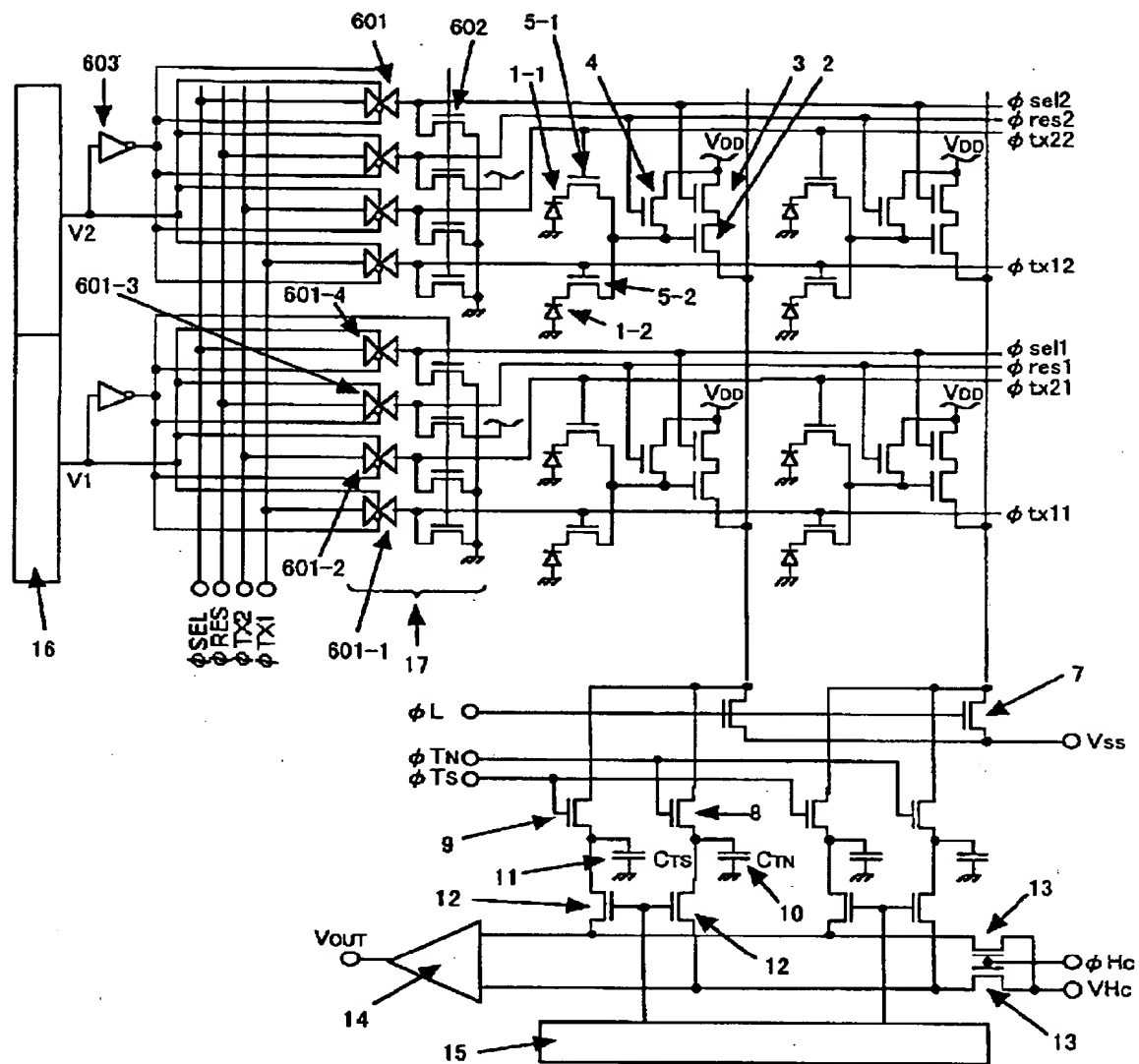
【図 4】



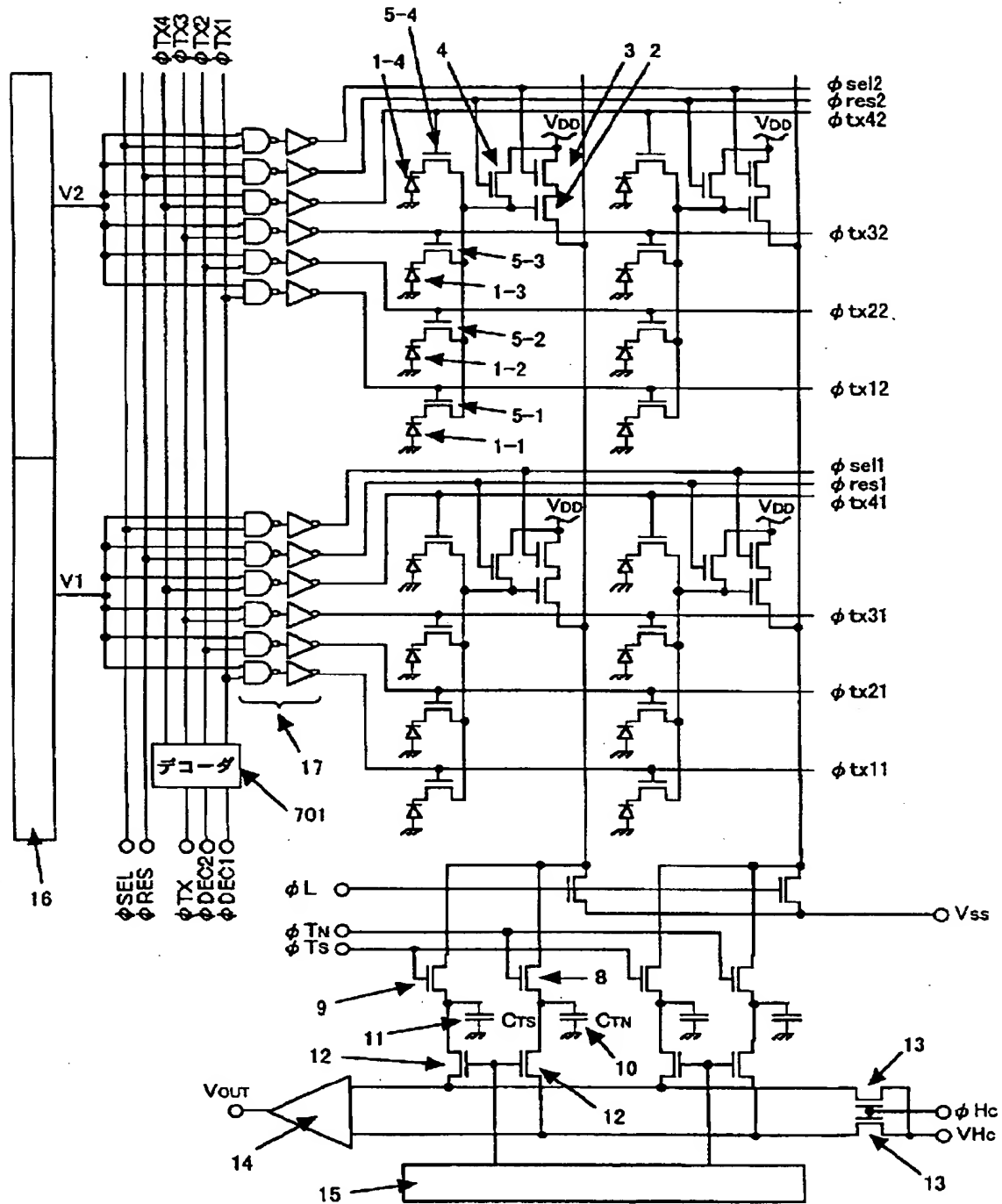
【図 5】



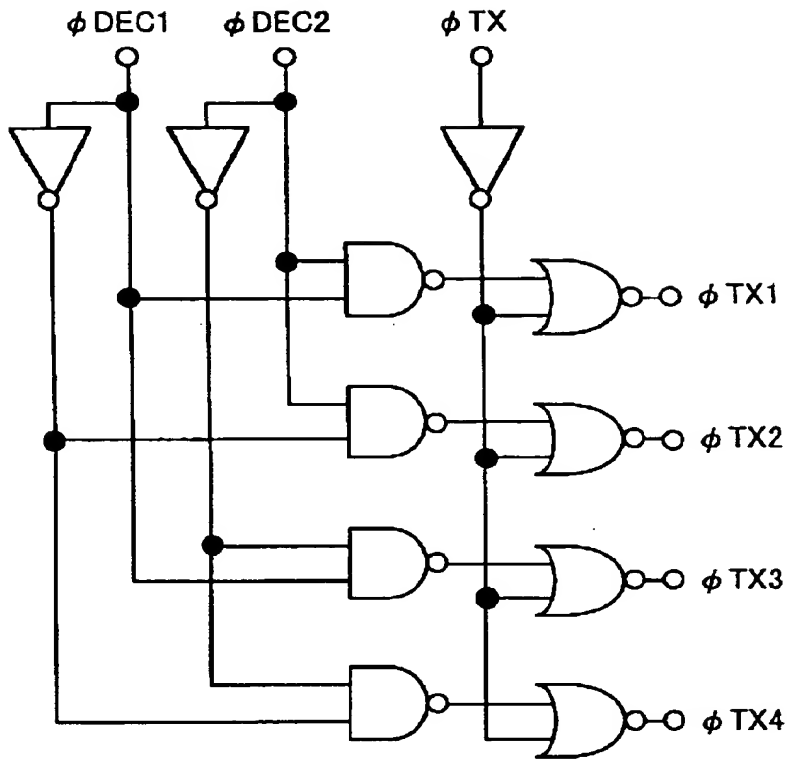
【図 6】



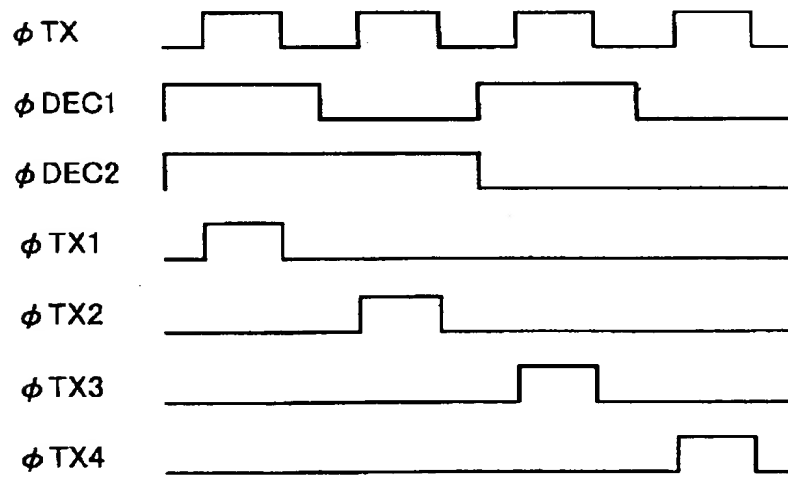
【図 7】



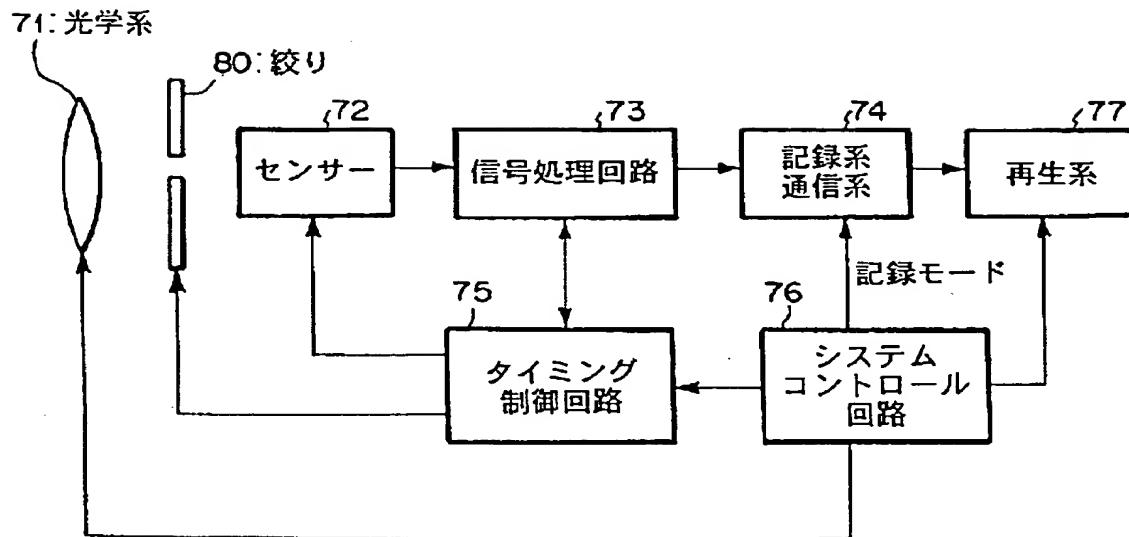
【図 8】



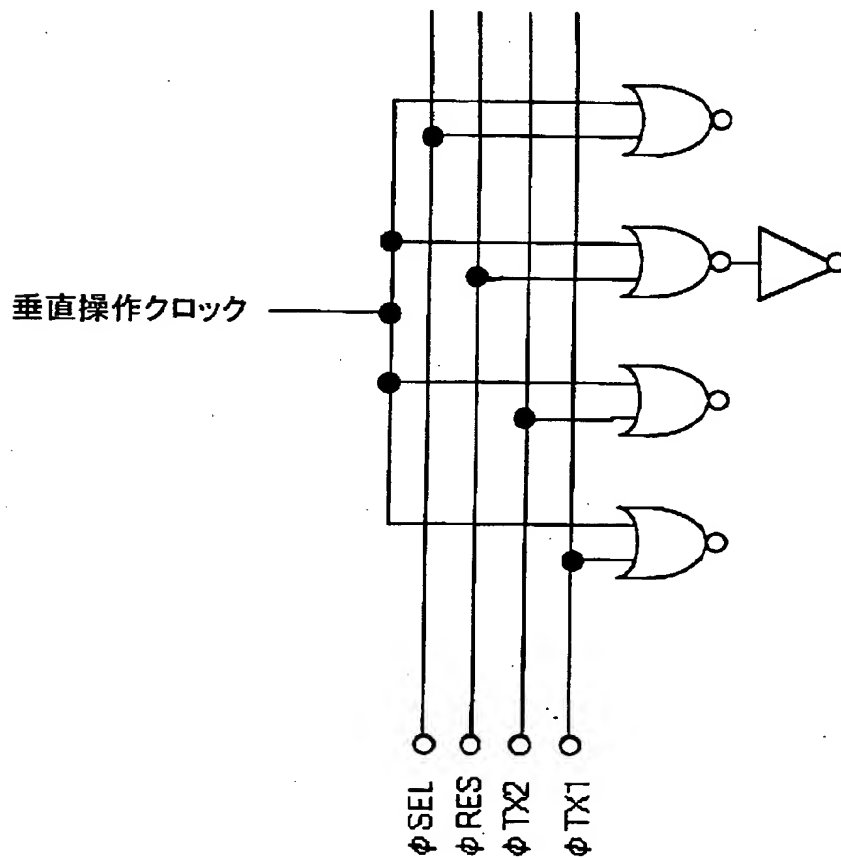
【図 9】



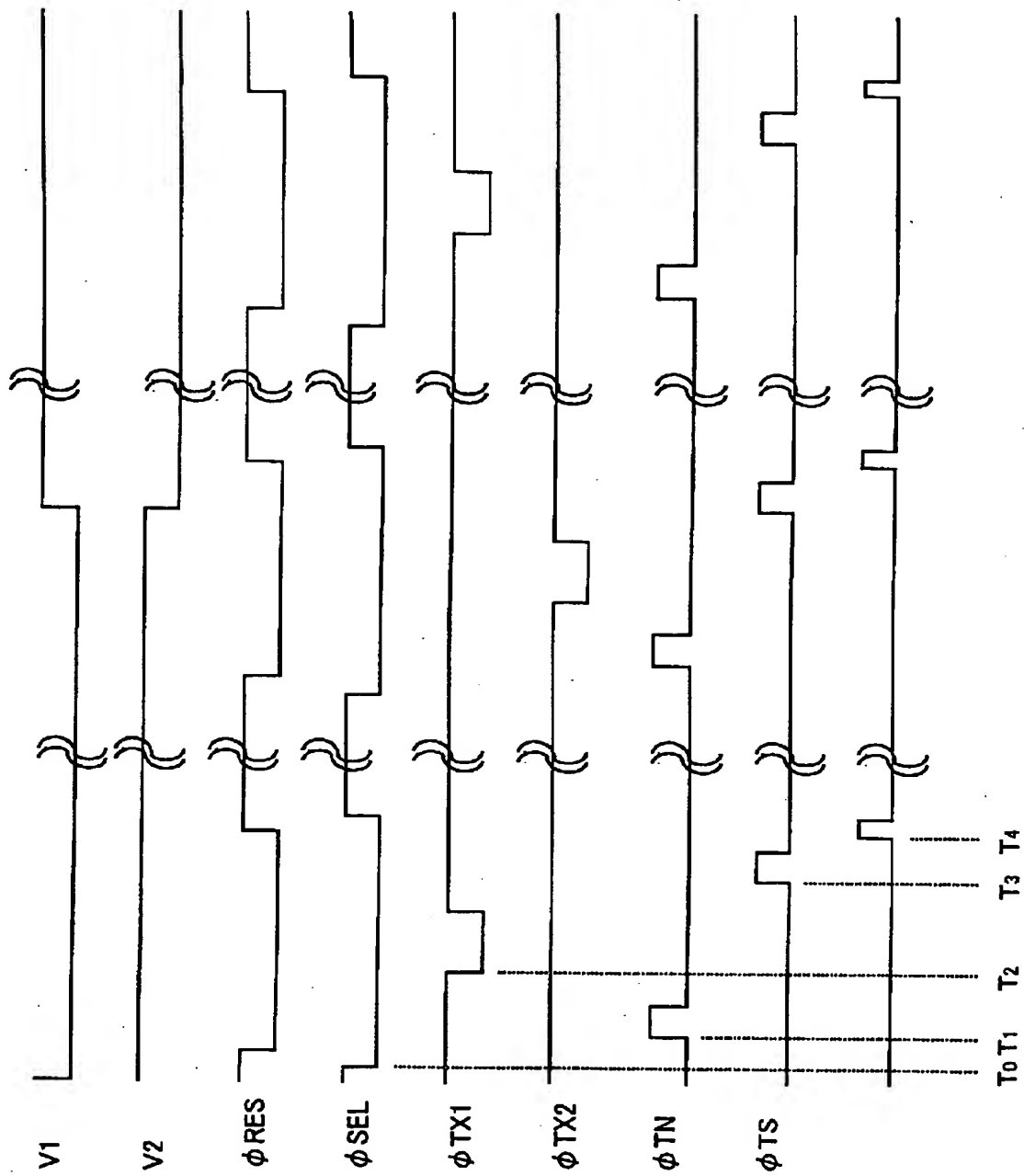
【図 1 0】



【図 1 1】



【図 12】



【書類名】 要約書

【要約】

【課題】 周辺回路を縮小した固体撮像装置を実現する。

【解決手段】 複数の光電変換素子 1-1, 1-2 と、それぞれの光電変換素子に一端が接続された複数の転送スイッチ 5-1, 5-2 と、複数の転送スイッチのもう一端に共通接続された信号入力部と、信号入力部に接続された増幅部 2 とを有する画素ブロックを複数配置してなる固体撮像装置において、画素ブロックごとに走査クロックを出力する走査手段 16 を有することを特徴とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都大田区下丸子3丁目30番2号
氏 名	キヤノン株式会社